

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07192461 A**

(43) Date of publication of application: **28.07.95**

(51) Int. Cl.

G11C 11/406

G11C 11/405

(21) Application number: **05332770**

(22) Date of filing: **27.12.93**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **SATO KATSUHIKO
URAKAWA YUKIHIRO
OCHII Kiyobumi**

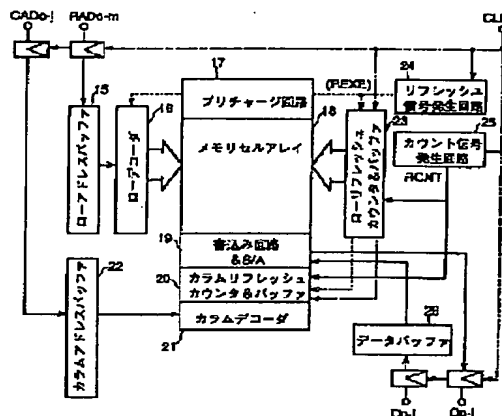
(54) SEMICONDUCTOR STORAGE DEVICE

(57) Abstract:

PURPOSE: To attain the increasing of the operating speed of a device by assembling a refresh operation into one fundamental cycle in conjunction with a normal operation and eliminating the overhead of a refresh cycle without enlarging the circuitry.

CONSTITUTION: One fundamental operating cycle is formed by the normal operation performing writing and reading operations to a memory array 18 and the refresh operation. Then, a refresh signal indicating a refresh starting outputted in accordance with an external clock by a refresh signal generating circuit 24 and a count signal for a refreshing memory cell selection outputted in accordance with the external clock by a count signal generating circuit 25 are supplied to a row refresh count and buffer 23 and then the refresh of the array 18 is performed. Since a precharge is also performed in the same manner and the overhead of the refresh cycle can be eliminated with the same circuit constitution as that of an RAN in which the refresh is not necessary, the operating speed of the device is increased.

COPYRIGHT: (C)1995,JPO



1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-192461

(43) 公開日 平成7年(1995)7月28日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/406

11/405

G 1 1 C 11/34

3 6 3 B

3 5 2 B

審査請求 未請求 請求項の数3 O L (全 8 頁)

(21) 出願番号 特願平5-332770

(22) 出願日 平成5年(1993)12月27日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 佐藤 勝彦

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72) 発明者 浦川 幸宏

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

(72) 発明者 落井 清文

神奈川県川崎市幸区小向東芝町1 株式会社東芝研究開発センター内

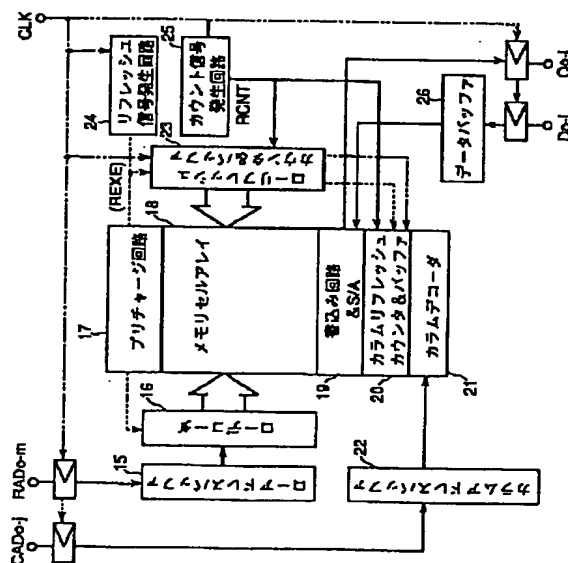
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 リフレッシュサイクルのオーバーヘッドが小さく動作速度が向上し、かつ高集積化が可能な半導体記憶装置を提供する。

【構成】 ダイナミック型メモリセルアレイ18を有し、通常動作とリフレッシュ動作とで1つの基本サイクルが構成され、外部からクロックCLKを入力されリフレッシュ信号REXEを発生するリフレッシュ信号発生回路24と、クロックCLKを入力されカウント信号RCNTを発生するカウント信号発生回路25と、リフレッシュ信号REXEとカウント信号RCNTとを与えられ、リフレッシュすべきメモリセルが接続されたワード線及びビット線を選択するローリフレッシュカウンタ及びバッファ23とカラムリフレッシュカウンタ及びバッファ20と、リフレッシュ信号REXEを与えられビット線のプリチャージを行うプリチャージ回路17とを備える。



【特許請求の範囲】

【請求項1】リフレッシュが必要なダイナミック型メモリセルを有する半導体記憶装置において、

前記メモリセルへの書き込み又は読み出しを行う通常動作とリフレッシュ動作とで1つの基本サイクルが構成されており、

外部からクロックを入力され、リフレッシュの開始を示すリフレッシュ信号を発生するリフレッシュ信号発生回路と、

前記クロックを入力され、リフレッシュすべきメモリセルの選択に必要なカウント信号を発生するカウント信号発生回路と、

前記リフレッシュ信号発生回路から出力された前記リフレッシュ信号と、前記カウント信号発生回路から出力された前記カウント信号とを与えられ、リフレッシュすべきメモリセルが接続されたワード線及びビット線を選択するリフレッシュカウンタ回路と、

前記リフレッシュ信号発生回路から出力された前記リフレッシュ信号を与えられ、リフレッシュのために前記ビット線のプリチャージを行うプリチャージ回路とを備えたことを特徴とする半導体記憶装置。

【請求項2】前記ダイナミック型メモリセルは、ソースが共に第1の電源電圧端子に接続され、ドレイン及びゲートがそれぞれクロスカップル接続された第1及び第2のMOSトランジスタと、ゲートが共にワード線に接続され、ドレインがそれぞれビット線対の一方に接続され、ソースがそれぞれ前記第1及び第2のMOSトランジスタのドレインに接続された第3及び第4のMOSトランジスタとを有することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記通常動作は、外部から入力されるクロックの一方の相のエッジにより開始され、前記リフレッシュ動作は前記クロックの逆相のエッジにより開始されることを特徴とする請求項1又は2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特にリフレッシュが必要でランダムアクセスが可能なダイナミック型メモリセルを備えたものに関する。

【0002】

【従来の技術】ワークステーションやパーソナルコンピュータ等の情報処理システムにおける記憶装置として、ランダムアクセスメモリ（以下、RAMという）が用いられている。

【0003】RAMには大別して、定期的に記憶内容をリフレッシュする必要があるダイナミック型RAM（DRAM）と、リフレッシュが不要なスタティック型RAM（SRAM）とがある。

【0004】近年、素子の微細化、高集積化が進み、チ

ップ上に多くの機能ユニットを搭載してシステムを構成する、システム・オン・シリコンが可能になってきた。そのような例として、マイコンチップを挙げることができる。マイコンチップは、マイクロプロセッサユニット（以下、MPUという）等の論理ユニットと、RAM等のメモリユニットとが、1チップ上に搭載されている。ここで、メモリユニットにシングルチップRAMと同等の高集積化を追及すると、メモリセルの部分に付加的なプロセス技術が必要となり、製造コストが上昇する。例えば、DRAMにおいて集積度を上げようすると、セルの容量をトレンチ/スタック構造にする必要がある。また、SRAMで高集積化を追及すると、負荷素子として高抵抗の多結晶シリコンと、薄膜トランジスタTFTを形成しなければならず、コストが上昇する。

【0005】メモリユニットを他の論理ユニットと同様なプロセス技術で製造し得るように、図11のようにメモリセルが6つのトランジスタN111～N116から成るSRAMを用いることも考えられる。しかし、SRAMは素子数が多く大容量化に適していないという問題があった。

【0006】そこで、最近では4つのトランジスタで構成される4トランジスタ・ダイナミック型メモリセルを用いたRAMが提案されている。図8に、このようなRAMの構成を示す。このメモリセルは、アクセス時には通常のSRAMと同様にビット線BL及び/BLをトランジスタで駆動する。このため、メモリセルとビット線との間の容量結合を用いる通常のDRAMと比較し、アクセス時間が短いという長所がある。

【0007】また、データの保持はメモリセル内部のノードに付随した寄生容量や、ゲート容量C及び接合容量を用いて行う。しかし、駆動用トランジスタのリーク電流や拡散層の接合部分に生じるリーク電流によって、データを保持していたノードの電位が下降する。そこで、通常のDRAMと同様に定期的なリフレッシュが必要となる。

【0008】図10に示された1トランジスタN101及び1容量Csでメモリセルが構成された通常のDRAMは、読み出し時にワード線WLが立上がりトランジスタが活性化され、セル容量とビット線容量とが結合しビット線BLの電位が変化する。この電位の変化をセンスアンプで増幅し読み出す。しかし、メモリセルに記憶されたデータは、読み出しと同時に破壊される。このため、ラッチ型センスアンプを用いてビット線に正帰還をかけて振幅を大きくし、再度メモリセルにデータを書き直す必要がある。また、リフレッシュ時にも同様の読み出し動作を行ってメモリセルにデータを書き直すことが必要である。

【0009】これに対し、4トランジスタ型DRAMのメモリセルでは読み出し時にビット線の電位が変動するが、セルデータは破壊されない。従って、ビット線に正

帰還をかけて再度データを書き直す必要がない。

【0010】また、メモリセルのリフレッシュはワード線を活性化させ、トランジスタを介してデータを保持する記憶ノードを充電すればよく、センスアンプを活性化したり、ビット線の電位を大幅にスイングさせる必要はない。従って、リフレッシュ時間は短く、またビット線の充放電に起因した消費電力を低く抑えることができる。

【0011】さらに、6トランジスタでメモリセルを構成する通常のSRAMと比較し、負荷素子が不要であり、面積が小さく高集積化が可能である。

【0012】

【発明が解決しようとする課題】しかし、4トランジスタ型DRAMのメモリセルは、記憶ノードの容量が通常のDRAMよりも小さい。よって、リフレッシュサイクルが短く、リフレッシュを頻繁に行う必要がある。この結果、リフレッシュサイクルのオーバーヘッドが長く、平均的な動作速度の低下を招いていた。

【0013】本発明は上記事情に鑑みてなされたもので、通常のSRAMよりも少ないトランジスタでメモリセルを構成し、かつリフレッシュサイクルのオーバーヘッドがなく動作速度を向上させることが可能な半導体記憶装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明の半導体記憶装置は、リフレッシュが必要なダイナミック型メモリセルを有し、前記メモリセルへの書き込み又は読み出しを行う通常動作とリフレッシュ動作とで1つの基本サイクルが構成されており、外部からクロックを入力され、リフレッシュの開始を示すリフレッシュ信号を発生するリフレッシュ信号発生回路と、前記クロックを入力され、リフレッシュすべきメモリセルの選択に必要なカウント信号を発生するカウント信号発生回路と、前記リフレッシュ信号発生回路から出力された前記リフレッシュ信号と、前記カウント信号発生回路から出力された前記カウント信号とを与えられ、リフレッシュすべきメモリセルが接続されたワード線及びビット線を選択するリフレッシュカウンタ回路と、前記リフレッシュ信号発生回路から出力された前記リフレッシュ信号を与えられ、リフレッシュのために前記ビット線のプリチャージを行うプリチャージ回路とを備えている。

【0015】

【作用】クロックを入力されてリフレッシュ信号及びカウント信号が発生され、リフレッシュ信号によりリフレッシュ動作が開始され、カウント信号が用いられてリフレッシュすべきメモリセルが接続されたワード線及びビット線が選択され、ビット線がプリチャージされリフレッシュが行われる。このようなリフレッシュ動作と通常の動作とで1つの基本サイクルが構成され、周期的にリフレッシュが行われる。このように、リフレッシュ動作を

通常動作と共に1つの基本サイクルに組み込むことでリフレッシュに伴うオーバーヘッドがなくなる。

【0016】

【実施例】以下、本発明の一実施例について図面を参照して説明する。

【0017】先ず、本実施例による半導体記憶装置は、図8に示されるような4つのNチャネルトランジスタN121～N124で構成されたメモリセルを有している。

【0018】ソースが共に接地され、ドレイン及びゲートがそれぞれクロスカップル接続された二つのNチャネルトランジスタN123及びN124と、ゲートが共にワード線WLに接続され、ソースがそれぞれトランジスタN123及びN124のドレインに接続され、ドレインがそれぞれビット線BL及び／BLに接続された二つのNチャネルトランジスタN121及びN122とが設けられている。

【0019】ビット線BL及び／BLをハイレベルにし、ワード線WLを立ち上げるとこのメモリセルが選択された状態になり、NチャネルトランジスタN121及びN122がオンする。

【0020】いま、NチャネルトランジスタN123のドレインとNチャネルトランジスタN124のゲートが接続されたノードNHに論理「1」のデータが保持され、NチャネルトランジスタN124のドレインとNチャネルトランジスタN123のゲートが接続されたノードNLに論理「0」のデータが保持されているとする。NチャネルトランジスタN124がオンし、NチャネルトランジスタN123はオフする。ビット線BLはハイレベルを保持し、ビット線／BLはNチャネルトランジスタN124により電位が降下する。

【0021】以下に、メモリセルにデータを書き込んでから読み出すまでに要した時間 t_r と、ワード線WL、ビット線BL、／BL、及びノードNH及びNLの電位の時間的变化との関係を示す。

【0022】先ず、書き込んだ後すぐにデータを読み出した場合(時間 $t_r = 0$)は、図9(a)に示されるようである。記憶ノードNHに保持された電位は、ほとんど降下していない。ワード線WLが立ち上がると、ビット線BLの電位はあまり降下せずハイレベルを維持し、ビット線／BLは降下する。これにより、論理「1」のデータが読み出される。

【0023】書き込んでから読み出すまでにある程度時間が経過し、この時間 t_r が最大保持時間Tよりも短い場合は、図9(b)に示されるようである。ここで、トランジスタのリーク電流を I_l 、セルノードNH又はNLの寄生容量をC、トランジスタN123及びN124の閾値電圧を V_t とすると、最大保持時間Tは $I_l / C \cdot V_t$ にほぼ等しい。

【0024】記憶ノードNHのレベルは、リーク電流に

より降下している。ワード線WLが立ち上がると、ビット線BLの電位はビット線/BLと同様に降下するが、記憶ノードNHが必要なレベルを保持していることから、レベルが回復する。これにより、データの読み出しが可能である。

【0025】読み出すまでに要した時間 t_r が最大保持時間Tを超えた場合は、図9(c)のようである。書き込んだ時点よりもノードNHのレベルが大きく低下し、ノードNLとレベルが一致している。このように記憶が完全に消滅した場合には、ワード線WLが立ち上がってもビット線BL及び/BLの電位には差がなく、データの読み出しは不可能である。このような事態を防ぐため、書き込んだ後最大保持時間Tを超えない範囲でリフレッシュを行う必要がある。

【0026】本実施例は、リフレッシュ動作を高速化し得るものであり、その構成を図1に示す。メモリセルがマトリクス状に配置されたメモリセルアレイ18が設けられている。ローアドレス信号RADとカラムアドレス信号CADが入力バッファ15及び22でそれぞれ増幅され、ローデコード16及びカラムデコード21でそれぞれ解読されてメモリセルアレイ18に与えられる。

【0027】書込むべきデータがデータバッファ26で増幅された後、書き込み回路及びセンスアンプ19に与えられる。これにより、ローアドレス信号RAD及びカラムアドレス信号CADで選択されたメモリセルにこのデータが書込まれる。

【0028】このデータが消滅しないように、本実施例では次のようにリフレッシュを行う。ここで、リフレッシュ動作を行うリフレッシュサイクルと、書き込み又は読み出しの通常動作を行うノーマルサイクルにおける各信号のタイムチャートを図2に示す。

【0029】本実施例は同期型のRAMであり、外部から入力されるクロックCLKに同期して、アドレス信号RAD、CADが取り込まれ、各制御信号REXE、NWL、RWL、RCNTがそれに同期してそれぞれの制御信号発生回路から発生される。

【0030】また、本実施例ではクロックCLKの立ち下がりエッジによりリフレッシュサイクルが開始し、立ち上がりエッジで通常の読み出し書き込み動作を行うノーマルサイクルが開始する。このように、本実施例では1つの基本サイクルがリフレッシュサイクルとノーマルサイクルとに一定の比率で分かれており、各々のサイクルでリフレッシュ及び通常動作の二つの動作を行う点に特徴がある。

【0031】クロックCLKが立ち下がると、リフレッシュサイクルが開始する。

【0032】クロックCLKが、リフレッシュ信号発生回路24及びカウント信号発生回路25に入力される。

このクロックCLKの立ち下がりエッジで、リフレッシュ信号発生回路24がハイレベルのリフレッシュ活性化

信号REXEを出力する。ここで、クロックCLKの立ち下がりエッジからリフレッシュ活性化信号REXEの立ち上がりエッジまでに要する時間が、リフレッシュ信号遅延時間TRに相当する。上述したように、1つの基本サイクルがノーマルサイクルとリフレッシュサイクルとに一定の比率で分割されており、このリフレッシュ信号遅延時間TRを変えることで両サイクルの比率を調整することができる。

【0033】リフレッシュ活性化信号REXEがローデコード16に与えられると、通常の動作に必要なノーマルワード線選択信号NWLはロウレベルに変化する。これにより、通常のアドレス選択動作が停止する。

【0034】一方、ハイレベルのリフレッシュ活性化信号REXEがローリフレッシュカウンタ及びバッファ23に入力されると、リフレッシュワード線選択信号RWLがハイレベルに変化する。このようにして、リフレッシュ動作時にはリフレッシュカウンタ及びバッファ23によりワード線が選択される。

【0035】また、クロックCLKはカウント信号発生回路25にも与えられる。クロックCLKの立ち上がりエッジに同期し、リフレッシュカウンタシフト信号RCNTを出力する。このリフレッシュカウンタシフト信号RCNTは、リフレッシュ系の動作を高速化するため、ノーマルサイクルにおける通常のアクセス動作と平行して行われる。リフレッシュカウンタシフト信号RCNTがローリフレッシュカウンタ及びバッファ23に与えられて、順次リフレッシュすべきメモリセルが接続されたワード線WLが選択されるように、リフレッシュワード線選択信号RWLが生成される。

【0036】また、ハイレベルのリフレッシュ活性化信号REXEが出力されると、カラムリフレッシュカウンタ及びバッファ20によりリフレッシュすべきメモリセルが接続されたビット線BL及び/BLが選択される。このように、リフレッシュサイクル時には、ローリフレッシュカウンタ及びバッファ23とカラムリフレッシュカウンタ及びバッファ20によりメモリセルが選択されリフレッシュが行われる。

【0037】またプリチャージ回路17は、ノーマルサイクルと同様にリフレッシュサイクルにおいても必要なプリチャージを行うものである。リフレッシュ活性化信号REXEを入力され、ビット線BLをハイレベルにプリチャージする。

【0038】クロックCLKが立ち上がると、ノーマルサイクルが開始する。リフレッシュ信号発生回路24から出力されるリフレッシュ活性化信号REXEがロウレベルに変化する。ローリフレッシュカウンタ及びバッファ23からリフレッシュワード線選択信号RWLが出力されなくなる。ローデコード16からは、ノーマルワード線選択信号NWLが出力される。この信号NWLにより選択されたワード線WLと、カラムデコード21で選

択されたビット線BLとに接続されたメモリセルに対して、通常のアクセスが行われる。

【0039】この実施例では、クロックCLKの立ち上がりエッジでリフレッシュサイクルが開始されるが、逆にクロックCLKの立ち上がりエッジで開始してもよい。この場合のタイムチャートを図3に示す。クロックCLKが立ち上がると、ハイレベルのリフレッシュ活性化信号が出力されてリフレッシュサイクルが開始する。通常のアドレス選択動作が停止し、ローリフレッシュカウンタ及びバッファ23及びカラムリフレッシュカウンタ及びバッファ20でメモリセルが選択され、リフレッシュが行われる。ノーマルサイクルは立ち上がりで入力されたアドレス等を取り込み、デコードを用い、信号REXEがローレベルになると通常のアクセスを行う。クロックCLKが立ち下ると次のリフレッシュのためのリフレッシュカウンタシフト信号RCNTを出力する。

【0040】従来の半導体記憶装置は、ノーマル動作とリフレッシュ動作とをそれぞれ異なるサイクルで相互に関連なく行っていた。これに対し、本実施例は1つの基本サイクルをノーマルサイクルとリフレッシュサイクルとで構成し、各サイクル毎にリフレッシュ動作を周期的に行う。このように、リフレッシュ動作を通常動作と共に1つの基本サイクルに組み込むことで、リフレッシュに伴うオーバーヘッドがなくなる。従って、通常のSRAMと同様にリフレッシュの制約を受けることがなく、リフレッシュコントローラ等の付加的な回路ユニットが不要でコストが低減される。

【0041】さらに、SRAMよりも少ないトランジスタでメモリセルが構成され、また負荷素子が不要であるため、高集積化が可能である。また、読み出し時にはセルデータが破壊させないため、通常のDRAMと比較しリフレッシュ時間が短縮され動作が高速化される。

【0042】また、本実施例による半導体記憶装置をメモリユニットとして論理ユニットと1つのチップに混載した場合、高集積化を図る上で、上述のように従来は付加的なプロセス技術が必要であった。しかし、本実施例ではこのようなプロセスを必要とせず、論理ユニットに必要な通常のプロセスとの整合性がよく、コスト低減に寄与する。

【0043】次に、本実施例においてワード線WLを駆動する回路の具体的な構成を図4に示す。このワード線駆動回路は、リフレッシュ時に用いられるローリフレッシュカウンタ及びバッファ23から出力されたリフレッシュローデコード信号RRD0~RRD2ⁿ-1と、通常動作時に用いられるローデコード16から出力されたノーマルローデコード信号NRD0~NRD2ⁿ-1とをリフレッシュ活性化信号REXEに応じて選択して出力し、ワード線WLを駆動するものである。

【0044】リフレッシュ活性化信号REXEがANDゲートAN2及びAN4の入力端子に入力され、インバ

ータIN1により反転されたリフレッシュ活性化信号/REXEがANDゲートAN1及びAN3の入力端子に入力される。リフレッシュサイクル時には、リフレッシュ活性化信号REXEがハイレベルであり、リフレッシュローデコード信号RRD0~RRD2ⁿ-1がANDゲートAN2, AN4, ...から選択的に出力される。逆に、ノーマルサイクル時にはリフレッシュ活性化信号REXEがローレベルで、ノーマルローデコード信号NRD0~NRD2ⁿ-1がANDゲートAN1, AN3, ...から出力される。

【0045】また、このワード線駆動回路は、ワード線がセクション毎に駆動される場合に用いられる。そこで、ANDゲートAN15及びAN25には、リフレッシュ活性化信号REXEと共にリフレッシュセクションデコード信号RSD0~RSD2ⁱ-1が入力され、ANDゲートAN16及びAN26にはリフレッシュ活性化信号REXEとノーマルセクションデコード信号NSD0~NSD2ⁱ-1とが入力される。リフレッシュ時にはリフレッシュセクションデコード信号RSD0~RSD2ⁱ-1が選択的に出力され、ANDゲートAN12, AN14, AN22, AN24の一方の入力端子に入力される。このANDゲートAN12, AN14, AN22, AN24の他方の入力端子には上述したリフレッシュローデコード信号RRD0~RRD2ⁿ-1が入力される。この結果、リフレッシュセクションデコード信号RSD0~RSD2ⁱ-1により選択されたセクションのワード線WLにのみ、リフレッシュローデコード信号RRD0~RRD2ⁿ-1が出力され、駆動される。ノーマル動作時には、ノーマルセクションデコード信号NSD0~NSD2ⁱ-1により選択されたセクションのワード線WLに、ノーマルローデコード信号NRD0~NRD2ⁿ-1が出力される。

【0046】ワード線WLがセクション毎に分割されていない場合には、図5に示されたようなワード線駆動回路を用いることができる。この回路によれば、リフレッシュ活性化信号REXEに応じて、リフレッシュローデコード信号RRD0~RRD2ⁿ-1とノーマルローデコード信号NRD0~NRD2ⁿ-1のいずれか一方がANDゲートAN31~AN34により選択され、ワード線WL0~WL2ⁿ-1に出力される。

【0047】図6に示されたワード線駆動回路は、ワード線WLがセクション毎に分割されている場合であって、リフレッシュ活性化信号REXEを用いずにリフレッシュローデコード信号RRD0~RRD2ⁿ-1とノーマルローデコード信号NRD0~NRD2ⁿ-1のいずれか一方をセクションワード線SWL00~SWLm0に出力する。即ち、リフレッシュローデコード信号RRD0とノーマルローデコード信号NRD0のうちのいずれか一方がORゲートOR1に入力されると、この信号が出力されてANDゲートAN41の一方の入力端子に

与えられる。さらに、リフレッシュセクションデコード信号RSD0とノーマルセクションデコード信号NSD0のうち、いずれか一方がORゲートOR3に入力されるとこの信号が出力され、ANDゲートAN41の他方の入力端子に入力される。当該セクションがリフレッシュセクションデコード信号RSD0又はノーマルセクションデコード信号NSD0により選択された場合、ANDゲート41からリフレッシュローデコード信号RRD0とノーマルローデコード信号NRD0のいずれか一方がセクションワード線SWL00に出力される。

【0048】以上、図4～図6にワード線駆動回路の構成例を示したが、ビット線駆動回路についても同様な構成にすることができる。

【0049】本実施例におけるローリフレッシュカウンタ及びバッファ23と、カラムリフレッシュカウンタ及びバッファ20の構成例を図7に示す。この回路構成は、高速にカウント動作を行うことができるように、シフトレジスタ型となっている。

【0050】データ発生器31、DフリップフロップD1～D3及びバッファB1～B3によりリフレッシュローデコード信号RRD0～RRS2ⁿ⁻¹を生成し、同様な構成であるデコード発生器32、DフリップフロップD4～D6及びバッファB4～B6によりリフレッシュセクションデコード信号RSD0～RSD2ⁱ⁻¹を生成する。

【0051】リセット信号RESETがデータ発生器31及び32とDフリップフロップD1～D6のリセット端子Rに入力されて初期化される。データ発生器31及び32から、最初のビットに初期データとして論理「1」のデータが1段目のDフリップフロップD1及びD4のデータ端子Dに入力される。この時点では、各DフリップフロップD2～D3及びD5～D6の出力端子Qは論理「0」レベルにある。

【0052】リフレッシュカウンタシフト信号RCNTがDフリップフロップD1～D6のクロック端子に入力されると、DフリップフロップD1及びD4の出力端子Qから順次論理「1」のデータが後段へ転送されていく。各DフリップフロップD1～D6の出力端子Qには、バッファB1～B6の入力端子が接続されている。このバッファB1～B6の制御端子にリフレッシュ信号REXEが入力されると、それぞれDフリップフロップD1～D6から与えられたデータを増幅してリフレッシュローデコード信号RRD0～RRD2ⁿ⁻¹と、リフレッシュセクションデコード信号RSD0～RSD2ⁱ⁻¹が出力される。そして、論理「1」のデータが出力されたビットのワード線WL又はビット線BLが選択される。

【0053】上述した実施例は一例であり、本発明を限定するものではない。例えば、リフレッシュカウンタ回路は、実施例では図7に示されるような構成を備えてい

るがこれには限定されず、カウント信号を与えられ順次リフレッシュすべきメモリセルが接続されたワード線及びビット線を選択するものであればよい。

【0054】

【発明の効果】以上説明したように、本発明の半導体記憶装置は1つの基本サイクルをノーマルサイクルとリフレッシュサイクルとで構成し、各サイクル毎にリフレッシュ動作を周期的に行うことで、リフレッシュに伴うオーバーヘッドがなく、通常のSRAMと同様にリフレッシュの制約を受けず、リフレッシュ用に回路ユニットを付加する必要がなくコストが低減される。

【図面の簡単な説明】

【図1】本発明の一実施例による半導体記憶装置の構成を示したブロック図。

【図2】同半導体記憶装置における各信号の波形を示したタイムチャート。

【図3】本発明の他の実施例による半導体記憶装置における各信号の波形を示したタイムチャート。

【図4】本発明の一実施例による半導体記憶装置におけるワード線駆動回路の構成を示した回路図。

【図5】同ワード線駆動回路の他の構成を示した回路図。

【図6】同ワード線駆動回路のさらに他の構成を示した回路図。

【図7】同ワード線駆動回路のローリフレッシュカウンタ及びバッファ又はカラムリフレッシュカウンタ及びバッファの構成を示した回路図。

【図8】本発明の一実施例による半導体記憶装置における1メモリセルの構成を示した回路図。

【図9】同メモリセルにデータを書き込んでから読み出すまでに経過した時間とワード線、ビット線及び記憶ノードの電位の変化との関係を示した説明図。

【図10】従来のDRAMのメモリセルの構成を示した回路図。

【図11】従来のSRAMのメモリセルの構成を示した回路図。

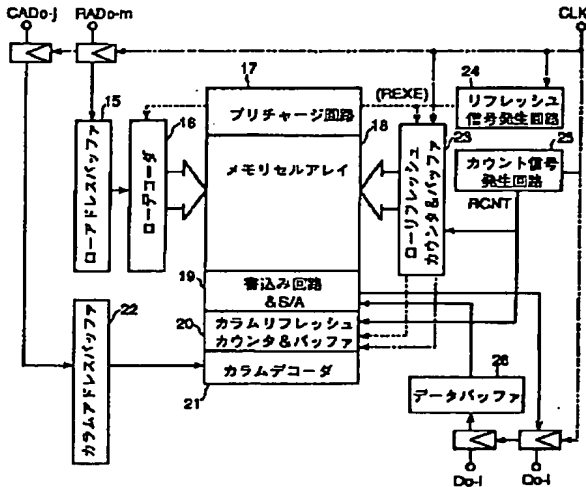
【符号の説明】

- 15 ローアドレスバッファ
- 16 ローデコード
- 17 プリチャージ回路
- 18 メモリセルアレイ
- 19 書き込み回路及びセンスアンプ
- 20 カラムリフレッシュカウンタ及びバッファ
- 21 カラムデコード
- 22 カラムアドレスバッファ
- 23 ローリフレッシュカウンタ及びバッファ
- 24 リフレッシュ信号発生回路
- 25 カウント信号発生回路
- 26 データバッファ
- 31, 32 データ発生器

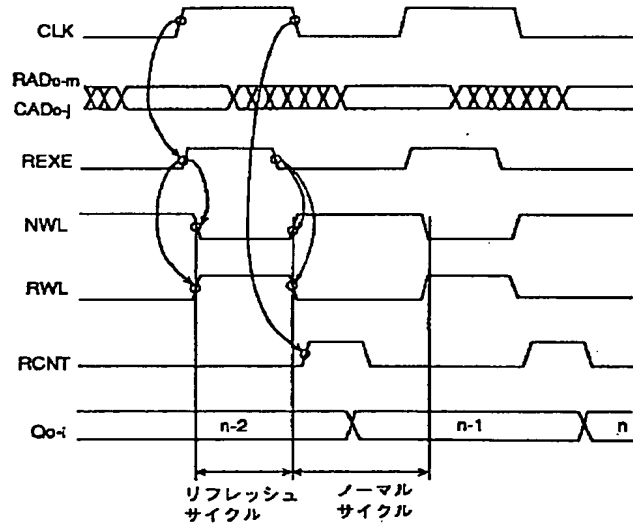
AN1^{*}~AN4, AN11~AN16, AN21~AN
26, AN31~AN34, AN41, AN42 AN
Dゲート
IN1, IN2 インバータ

OR1~OR3 ORゲート
D1~D6 Dフリップフロップ
B1~B6 バッファ

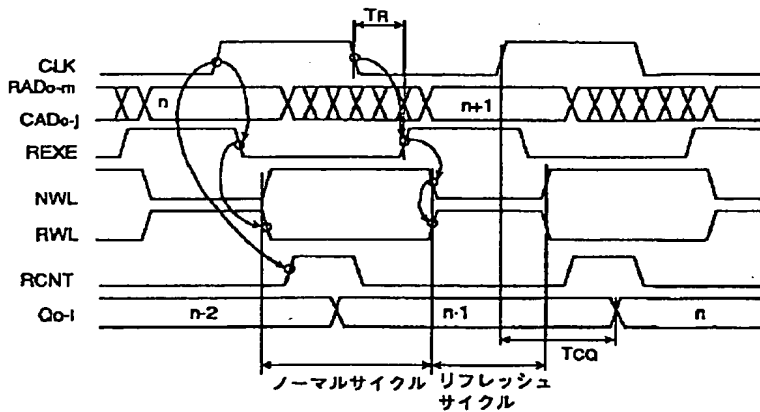
【図1】



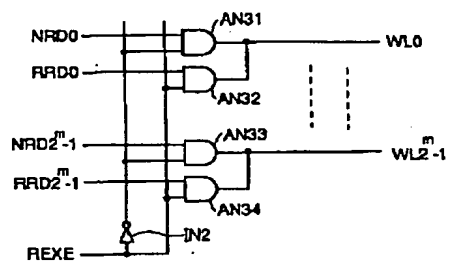
【図3】



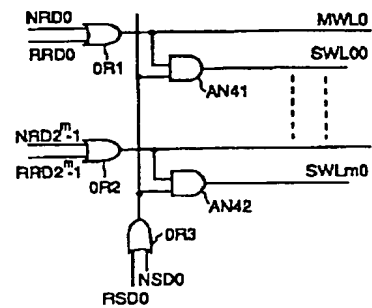
【図2】



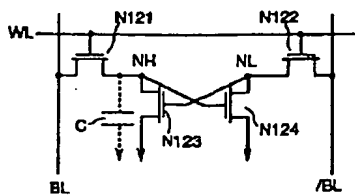
【図5】



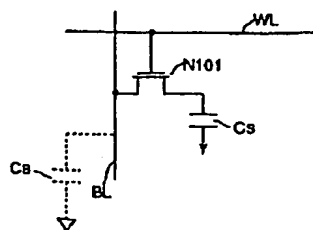
【図6】



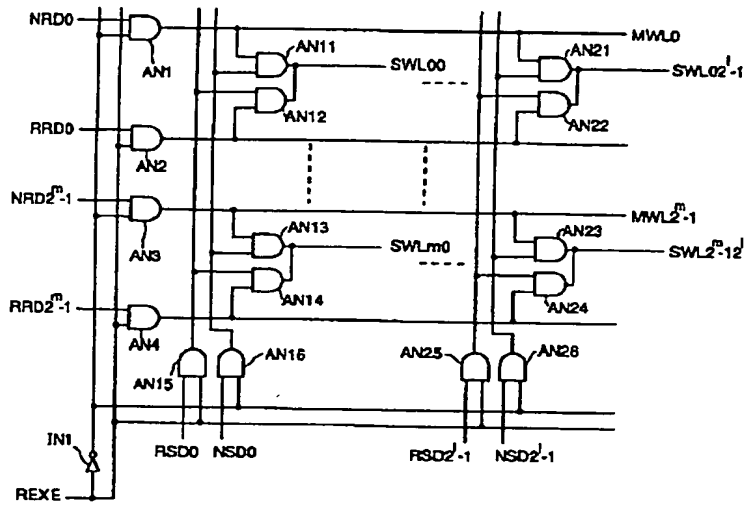
【図8】



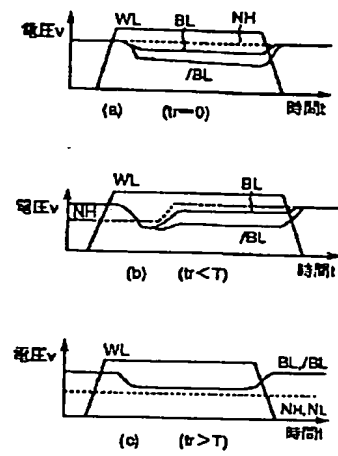
【図10】



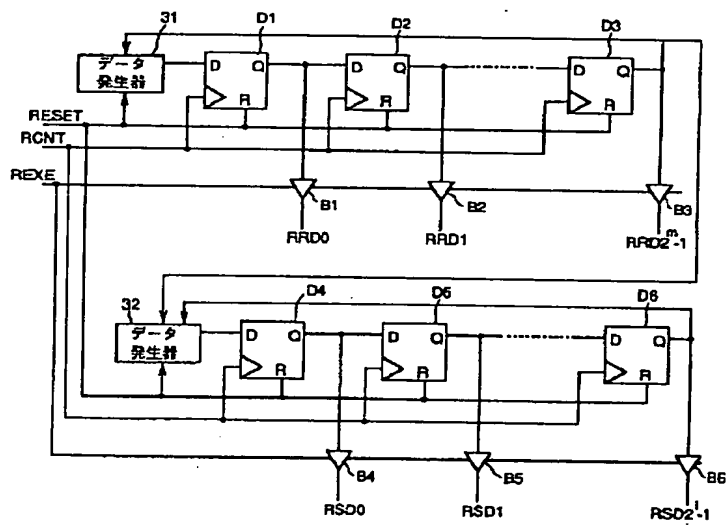
【図 4】



【図 9】



【図 7】



【図 11】

